

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-226781

(43)Date of publication of application : 03.09.1993

(51)Int.Cl.

H01S 3/18

H01L 33/00

(21)Application number : 04-025544

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.02.1992

(72)Inventor : DOUMEN MEGUMI
ANAYAMA CHIKASHI

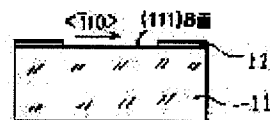
(54) PRODUCTION OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

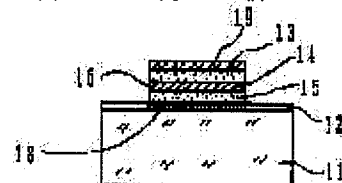
PURPOSE: To simplify the process and improve the quality without exposing to the air by accumulating a semiconductor window layer composed of semiconductor of the same elements as that of a clad layer only on the growing side plane in the same device by changing the temperature following the selective epitaxial growth.

CONSTITUTION: An SiO₂ film 12 is accumulated on the (111) B plane of an n-type GaAs substrate 11 and a short-pattern opening is formed so as to form a selectively growing mask. Epitaxial growing is performed selectively on the opening on the n-type GaAs (111) B plane. The light applied edge plane 16 of an activating layer 14 which is selectively grown on the mask 12 opening becomes the (-110) plane. Then the growing temperature is reduced and a semiconductor layer composed of same elements as clad layers 13 and 15 is selectively grown only on the growing side plane. Undoped AlGaAs formed on the light applied edge plane 16 becomes a window layer 17. The whole growing layer side plane which includes the light applied edge plane 16 becomes.

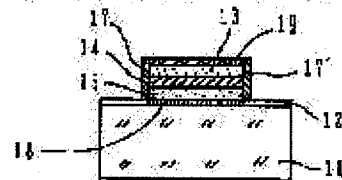
(A)開口部を有する選択成長用マスク形成工程



(B)基盤半導体への選択成長用マスク形成工程



(C)エピタキシャル層側面へのウィンドウ層形成工程



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-226781

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

9170-4M

H 0 1 L 33/00

A 8934-4M

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平4-25544

(22) 出願日 平成4年(1992)2月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 堂免 恵

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 穴山 親志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体発光素子の製造方法

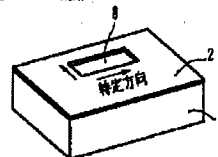
(57) 【要約】 (修正有)

【目的】 コストアップ要因のプロセスを減らし、かつ高品質の端面コーティングを容易に行なう半導体発光素子の製造方法を提供する。

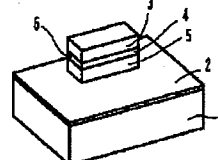
【構成】 光を輻射する端面にウィンドウ層を有するダブルヘテロ構造半導体発光素子の製造方法において、基板半導体1の特定面上に所定方位の開口部を有する選択成長用マスク2を設ける工程と、当該開口部に少なくとも第一の導電型を有する第一のクラッド層5、活性層4、第二の導電型を有する第二のクラッド層3を連続的に選択エピタキシャル成長させる工程と、引続き同一装置内で当該選択エピタキシャル成長と異なる温度を選択することによって当該選択エピタキシャル成長を自動的に停止せしめ、代わって成長側面のみに活性層と異なる元素からなる半導体層を当該温度で選択的に成長させ以って光の輻射端面にウィンドウ層を形成する工程とを含む。

本発明の原理図 (斜視図)

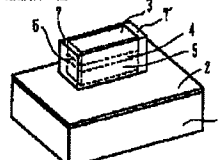
(A) 選択成長用マスク形成、開口部パターンニング工程



(B) 選択エピタキシャル成長工程



(C) ウィンドウ層形成工程



1: 半導体基板
2: 選択成長用マスク
3: 第二のクラッド層
4: 活性層
5: 第一のクラッド層
6: 光の輻射端面
7, 7': ウィンドウ層
8: 選択成長用マスク開口部

【特許請求の範囲】

【請求項1】 光を輻射する端面にウィンドウ層を有するダブルヘテロ構造半導体発光素子の製造方法において、

基板半導体(1)の特定面上に所定方位の開口部(8)を有する選択成長用マスク(2)を設ける工程と、
当該開口部(8)に少なくとも第一の導電型を有する第一のクラッド層(5)、活性層(4)、第二の導電型を有する第二のクラッド層(3)を連続的に選択エピタキシャル成長させる工程と、
引続き同一装置内で当該選択エピタキシャル成長と異なる温度を選択することによって当該選択エピタキシャル成長を自動的に停止せしめ、代わって成長側面のみに活性層と異なる元素からなる半導体層を当該温度で選択的に成長させ以て光の輻射端面(6)にウィンドウ層(7)を形成する工程とを含む半導体発光素子の製造方法。

【請求項2】 請求項1記載の製造方法において、基板半導体(1)の特定面が(111)B面であり、活性層(4)がGaAsであり、クラッド層(3)、(5)およびウィンドウ層(7)を含む成長側面の被覆半導体層がAlGaAsである半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体発光素子の製造方法に関し、特に光を輻射する端面にウィンドウ層を有するダブルヘテロ構造の高出力化合物半導体発光素子の製造方法に関する。

【0002】光通信、光信号処理の分野では、光源として様々な半導体レーザやLEDが用いられている。その中で構内伝送や機器間伝送、民生用機器の光源等として用いられる大出力素子は、大量に用いられるので、高性能(高効率、高密度発光、長寿命)を保ちながら、安価に提供されなければならない。

【0003】

【従来の技術】従来、光伝送や民生機器用光源に用いられている高出力、高性能光素子は、発光領域に注入された少数キャリアおよびその再結合によって発光した光を狭い活性領域に閉じ込めて低損失状態で発光を維持したり、レーザ発振させたりするため、通常、いわゆるダブルヘテロ構造を有している。

【0004】この中でも、短距離伝送に利用される半導体レーザやLED、コンパクトディスク(CD)用半導体レーザ等は、開発の長い歴史の中で蓄積された製造技術およびヘテロ接合を構成する材料の組み合わせの良さを理由として、主にGaAs/AlGaAs系半導体で構成されている。

【0005】しかし、GaAs/AlGaAs系ヘテロ接合素子においては、高出力動作を行なう活性層内の光密度が、ある閾値を越えた段階で、光を輻射する活性層

端面が光化学反応を起こして急速に劣化するという問題がある。

【0006】この端面破壊を防ぎ、安定して高出力動作を続けさせるために、端面保護膜のコーティングが行なわれる。光は端面保護膜を透過して外部に輻射されなければならないので、端面保護膜は光に対して透明な材料、通常はAl₂O₃酸化膜や窒化膜等が用いられ、これをウィンドウ層という。

【0007】ウィンドウ層を活性層の光輻射端面に形成するには、ダブルヘテロ構造を含む半導体層を基板上にエピタキシャル成長させ、所定の素子形状に整えた後の電極形成の前段階で別の膜堆積装置に移し替えてウィンドウ層堆積、加工を行なわなければならなかった。

【0008】

【発明が解決しようとする課題】エピタキシャル成長後に半導体ウエハを一旦装置外に取り出して、ウィンドウ層堆積後、加工のプロセスを行なうことは、特に上記AlGaAsが非常に酸化されやすい性質を持っているために相当手間がかかり、最終的に半導体発光装置のコストアップにつながる。

【0009】本発明の目的は、ウィンドウ層形成工程を基板上へのエピタキシャル成長に引続き、同一装置内で一回で行なうことによってコストアップ要因のプロセスを減らし、かつ高品質の端面コーティングを容易に行なうことのできる半導体発光素子の製造方法を提供することである。

【0010】

【課題を解決するための手段】図1は、本発明の原理説明図である。図1(A)、(B)、(C)は、それぞれ工程順に発光素子製造プロセスの主要工程を示す斜視図である。

【0011】図1(A)において、基板半導体1の特定面上に所定方位の開口部8を有する選択成長用マスク2が設けられる工程が示されており、図1(B)において当該開口部8に第一の導電型を有する第一のクラッド層5、活性層4、第二の導電型を有する第二のクラッド層3を連続的に選択エピタキシャル成長させる工程が示されている。

【0012】また、図1(C)においては、前記選択エピタキシャル成長させる工程に引続き、同一装置内で当該選択エピタキシャル成長と異なる温度を選択することによって当該選択エピタキシャル成長を自動的に停止せしめ、代わって成長側面のみに上記クラッド層と同じ元素からなる半導体層を当該温度で選択的に成長させ、以て光の輻射端面6にウィンドウ層7を形成する工程が示されている。

【0013】図示されていないが引き続く工程で、活性層4にキャリアを注入するための電極形成等を行い、システムにマウントすれば半導体発光素子ができる。本発明の好ましい形態においては、基板半導体1の特定面が

(111B面)であり、活性層4がGaAsであり、クラッド層3、5およびウィンドウ層7を含む成長側面の被覆半導体層がAlGaAsである。

【0014】

【作用】選択エピタキシャル成長に引続き、温度を変えることによって同一装置内でクラッド層3、5と同じ元素からなる半導体によるウィンドウ層7を成長側面にだけ堆積することができる。このため、工程が簡略化される。また、一旦空気に曝すことなくクラッド層3、5と同種半導体による被覆を行なうので、高品質のウィンドウ層7の形成が達成される。

【0015】特に、表面が酸化されやすいAlGaAs系半導体に適用すると好ましい作用がもたらされる。以下、実施例に沿って本発明をより詳しく述べる。

【0016】

【実施例】図2は本発明の実施例による半導体発光素子の製造方法を示す工程図(主要部分)である。

【0017】n型GaAs基板11の(111)B面上に厚さ0.1 μ m程度のSiO₂膜12を堆積させ、長手方向を<-110>、横方向を<-1-12>とする300 μ m \times 5 μ mの矩形パターンの開口部を形成して選択成長用マスクに仕上げる。

【0018】トリメチルガリウム、トリメチルアルミニウム、アルシンをそれぞれGa、AlおよびAsのソースとし、ドーパントとしてn型不純物にSi(モノシラン使用)、p型不純物にZn(ジメチルジルク使用)を用いて水素雰囲気中730℃から750℃の間の適当な温度で、前記n型GaAs(111)B面の開口部に選択的エピタキシャル成長を行なう。

【0019】まず、厚さ約0.1 μ mのn型GaAsバッファ層18、厚さ約1 μ mのn型(Al_{0.3}Ga_{0.7})Asクラッド層15、厚さ約0.1 μ mのGaAs活性層14、厚さ約1 μ mのp型(Al_{0.3}Ga_{0.7})Asクラッド層13および厚さ約0.5 μ mのp型GaAsコンタクト層19をこの順番でMOCVD法により選択エピタキシャル成長する。

【0020】この結果、マスク12開口部に選択成長した活性層14の光輻射端面16は(-110)面となる。次に、成長温度を650℃に低下させ、同一の装置内でアンドープ(Al_{0.3}Ga_{0.7})Asを光の輻射端面16上で厚さ約0.1 μ mになるように堆積させる。光の輻射端面16上に形成されたアンドープAlGaAsがウィンドウ層17となる。

【0021】アンドープAlGaAsの混晶比は、活性層14のバンドギャップより広いバンドギャップを持つものであればよく、クラッド層13、15と同じでも異なってもよい。AlGaAsは、ほぼ全組成においてGaAsと格子整合しているからである。

【0022】このとき、基板上にエピタキシャル成長している層の側面には、光の輻射端面16すなわち(-1

10)面および対向する(1-10)面だけでなく、長手方向の(-1-12)面、(11-2)面上にもアンドープAlGaAsが成長するが、この温度下で(-1-1-1)面の成長速度は非常に小さく、実質上成長しない。

【0023】以上の同一装置内での連続成長によって光の輻射端面16を含む成長層側面全体が、結晶性良好で界面状態が清浄な広禁制帯幅半導体層で被覆されたことになる。

【0024】なお、(100)面のGaAs基板上に(111)面が共存した場合、(111)面上には成長しにくいことが知られている。これは、(111)面上で析出原子の拡散が速く、(100)面までマイグレーションしてしまうためと言われている。成長温度を制御して拡散を遅くすると、(111)面上にも成長することが観察され得る。

【0025】このようなことを参考にすると、上記実施例の成長方向の制御は以下のように考えることができよう。高温成長によって(111)面上に強制的に成長を行なった後、低温成長に切り換えると(110)面への拡散が優勢になり、側面での成長が支配的になる。

【0026】図示していないが、次の工程として活性層14へキャリアを注入するための電極をp型コンタクト層19および基板半導体11裏面に設けてステムにマウントすれば、半導体レーザ素子または高出力LEDが得られる。

【0027】また、別の好ましい実施態様においては、選択成長用マスク12の開口部長手方向を<-101>または<0-11>として、開口部上にエピタキシャル成長させることができる。このとき開口部横手方向は、それぞれ<-12-1>、<2-1-1>となる。選択成長用のマスク材料にSi₃N₄等窒化物を用いることもできる。

【0028】さらに、本発明はGaAs/AlGaAs系半導体に止まらず、他のヘテロ整合の組み合わせ、たとえばInP/InGaAsP系やGaAs/AlGaAsP系等にも用い得ることは言うまでもない。

【0029】

【発明の効果】以上説明したように、本発明によれば、光を輻射する端面にウィンドウ層を有するダブルヘテロ構造半導体発光素子を従来より簡単な工程で製造できる。

【0030】このため製造コストを低減することができる。また、一回の成長でクラッド層と同種の化合物半導体層をエピタキシャル層側面全体に堆積できるため、一旦空気中に取り出すために生ずる端面の劣化がなくなり、清浄な界面特性をもつ良質なコーティング膜が製造できる。

【0031】これは、格子整合した薄い広禁制帯幅半導体で活性層を被覆することになるので、低閾値で安定に

5

動作する長寿命の高出力発光素子が得られる。レーザ素子とすればこの結果縦モード、横モード共に制御された単一モード発振素子が得ることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。図1(A)、(B)、(C)は、製造方法の主要工程における半導体の斜視図である。

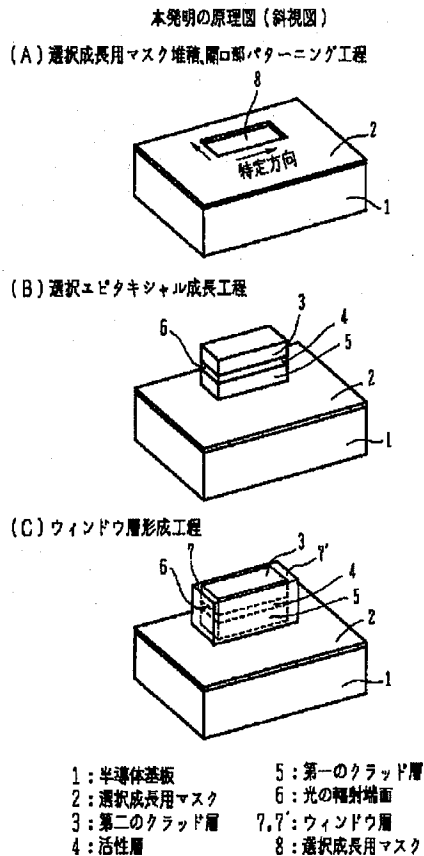
【図2】本発明の一実施例を示す。図2(A)、(B)、(C)は、製造方法の主要工程における半導体を示す縦断面図である。

【符号の説明】

- 1 基板半導体
- 2 選択成長用マスク
- 3 第二のクラッド層

- 4 活性層
- 5 第一のクラッド層
- 6 光の輻射端面
- 7、7' ウィンドウ層
- 8 選択成長用マスク開口部
- 11 n型GaAs基板
- 12 選択成長用マスク(SiO₂膜)
- 13 p型AlGaAsクラッド層
- 14 GaAs活性層
- 15 n型AlGaAsクラッド層
- 16 光の輻射端面、(-110)面
- 17、17' アンダーブAlGaAsウィンドウ層
- 18 n型GaAsバッファ層
- 19 p型GaAsコンタクト層

【図1】



【図2】

